Национальный исследовательский университет «МЭИ»

Кафедра Радиотехнических приборов и антенных систем

Лаборатория цифровых устройств

ОТЧЁТ

о лабораторной работе №7

«Синтез и исследование устройств на регистрах»

по курсу «Цифровые устройства и программируемые логические интегральные схемы»

Студент Жеребин В.Р.

Группа ЭР-15-15

Бригада №7

Вариант №3

Преподаватель Комаров А.А.

Москва 2018

**Цель работы** – освоение методов синтеза, анализа и экспериментального исследования регистров и некоторых устройств на их основе.

**7.4. Домашнее задание**

7.4.2. Синтез пятиразрядного регистра сдвига в сторону старших разрядов (сдвига влево) на D-триггерах и JK-триггерах.

Синтез на D-триггерах.

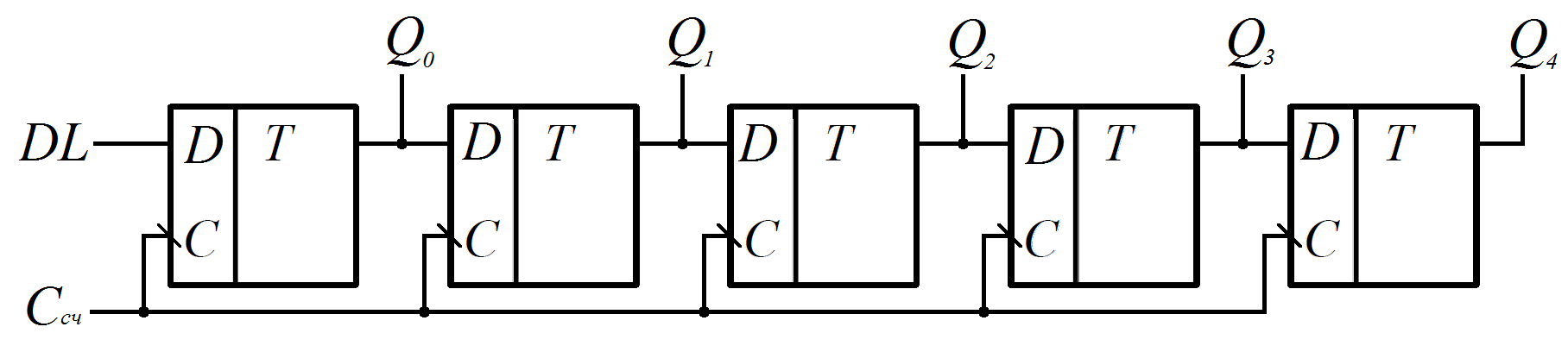
|  |  |  |  |
| --- | --- | --- | --- |
|  |  |  |  |
| 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 1 |

– прикладное уравнение





Схема регистра



Синтез на JK-триггерах.

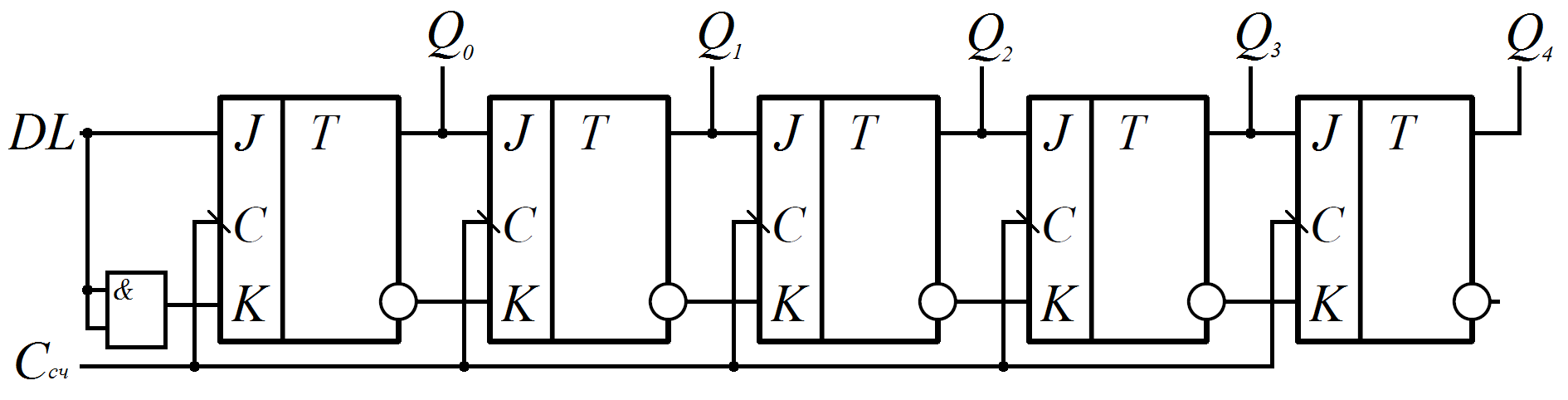
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  |  |  |  |  |
| 0 | 0 | 0 | 0 | \* |
| 0 | 1 | 0 | \* | 1 |
| 1 | 0 | 1 | 1 | \* |
| 1 | 1 | 1 | \* | 0 |

– прикладное уравнение





Схема регистра



7.4.3. Синтез счетчика, работающего в коде «1 из 4» с устранением ошибочной работы и с учетом возможностей лабораторного макета.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |  |
| Штатный цикл | 1 | 0 | 0 | 0 | 1 | 0 |
| 2 | 0 | 0 | 1 | 0 | 0 |
| 4 | 0 | 1 | 0 | 0 | 0 |
| 8 | 1 | 0 | 0 | 0 | 1 |
| Запрещенные комбинации | 0 | 0 | 0 | 0 | 0 | 1 |
| 3 | 0 | 0 | 1 | 1 | 0 |
| 5 | 0 | 1 | 0 | 1 | 0 |
| 6 | 0 | 1 | 1 | 0 | 0 |
| 7 | 0 | 1 | 1 | 1 | 0 |
| 9 | 1 | 0 | 0 | 1 | 0 |
| 10 | 1 | 0 | 1 | 0 | 0 |
| 11 | 1 | 0 | 1 | 1 | 0 |
| 12 | 1 | 1 | 0 | 0 | 0 |
| 13 | 1 | 1 | 0 | 1 | 0 |
| 14 | 1 | 1 | 1 | 0 | 0 |
| 15 | 1 | 1 | 1 | 1 | 0 |

Диаграмма переходов:

1

0

1

8

1

0

0

0

4

2

0

0

0

9

0

10

5

0

0

12

0

0

6

3

13

11

0

0

14

7

0

15

Диаграмма Вейча

|  |  |  |  |
| --- | --- | --- | --- |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 |

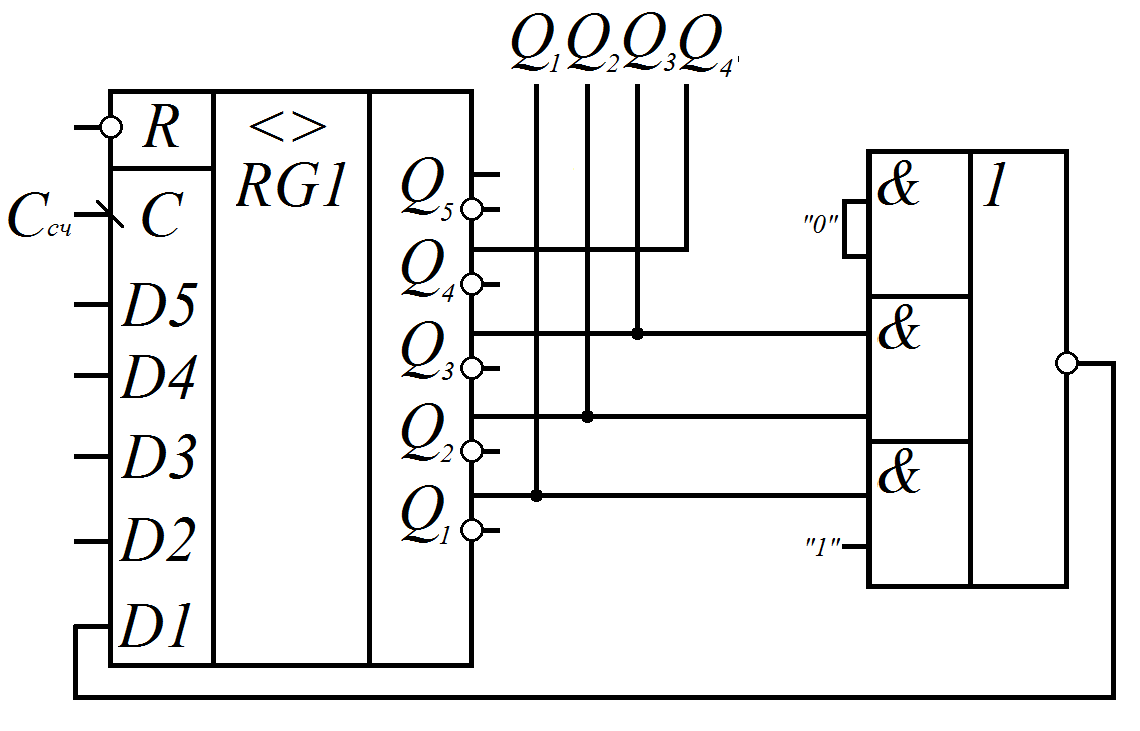








Схема счетчика Не верная



7.4.4. Четырехразрядный счетчик Джонсона с автоматическим устранением ошибочной работы.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |  |
| Штатный цикл | 0 | 0 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 |
| 3 | 0 | 0 | 1 | 1 | 1 |
| 7 | 0 | 1 | 1 | 1 | 1 |
| 15 | 1 | 1 | 1 | 1 | 0 |
| 14 | 1 | 1 | 1 | 0 | 0 |
| 12 | 1 | 1 | 0 | 0 | 0 |
| 8 | 1 | 0 | 0 | 0 | 0 |
| Запрещенные комбинации | 2 | 0 | 0 | 1 | 0 | 0 |
| 4 | 0 | 1 | 0 | 0 | 0 |
| 5 | 0 | 1 | 0 | 1 | 0 |
| 6 | 0 | 1 | 1 | 0 | 0 |
| 9 | 1 | 0 | 0 | 1 | 0 |
| 10 | 1 | 0 | 1 | 0 | 0 |
| 11 | 1 | 0 | 1 | 1 | 0 |
| 13 | 1 | 1 | 0 | 1 | 0 |

Диаграмма переходов:

0

1

0

8

1

0

0

4

2

0

1

0

0

9

0

10

5

0

12

0

0

6

3

13

11

1

0

7

14

0

1

15

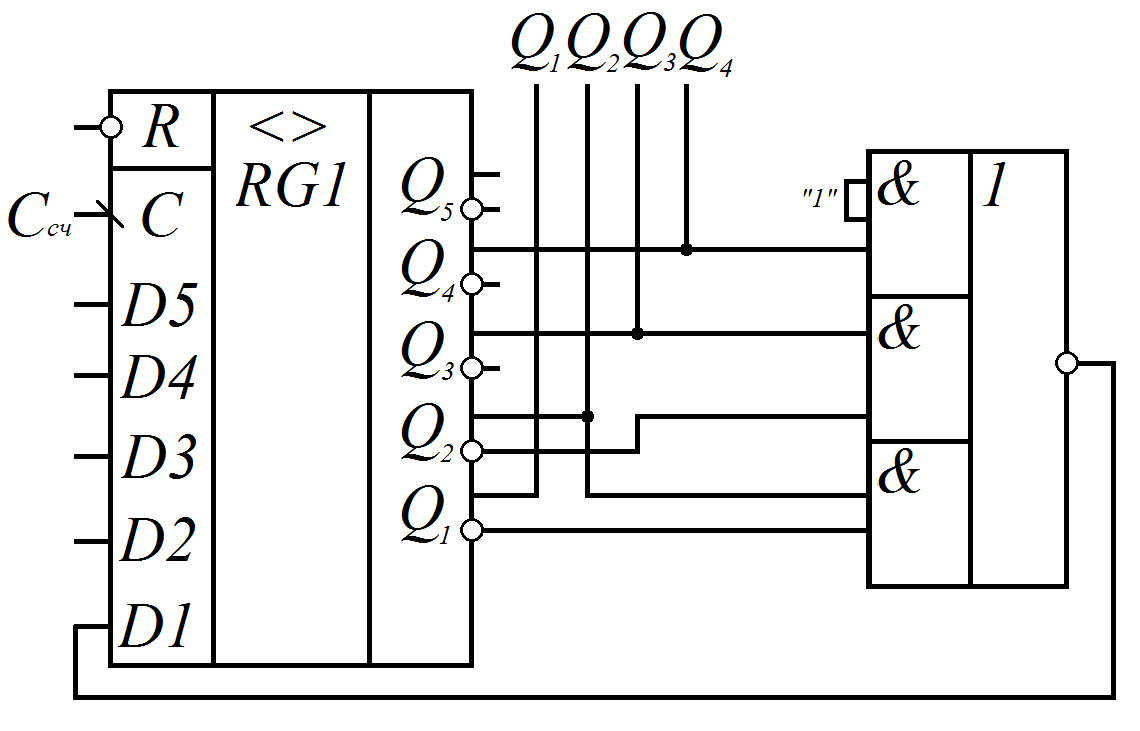
Диаграмма Вейча

|  |  |  |  |
| --- | --- | --- | --- |
| 1 | 1 | 0 | 0 |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 |





Схема счетчика



7.4.5. Синтез генератора М-последовательности (полиномиальный счетчик) с автоматическим режимом устранения ошибочной работы. Таблица функционирования, схема счетчика и временные диагрыммы формируемой кодовой последовательности.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Бригада № |  |  |  |  |  |
| 7 | 4 | 0 | 0 | 1 | 1 |

Начальный блок:  

 – длина последовательности


 – общая формула для данного случая

Временная диаграмма формируемой кодовой последовательности

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| n | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 |
|  | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 0 |

Qn

Длина последовательности

Начальный блок

t

 – формирование на выходе младшего разряда.

Сдвиг влево: 



 – уравнение входа генератора ЛПР.





|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |
| Штатный цикл | | | | | |
| 1 | 0 | 0 | 0 | 1 | 1 |
| 3 | 0 | 0 | 1 | 1 | 1 |
| 7 | 0 | 1 | 1 | 1 | 1 |
| 15 | 1 | 1 | 1 | 1 | 0 |
| 14 | 1 | 1 | 1 | 0 | 1 |
| 13 | 1 | 1 | 0 | 1 | 0 |
| 10 | 1 | 0 | 1 | 0 | 1 |
| 5 | 0 | 1 | 0 | 1 | 1 |
| 11 | 1 | 0 | 1 | 1 | 0 |
| 6 | 0 | 1 | 1 | 0 | 0 |
| 12 | 1 | 1 | 0 | 0 | 1 |
| 9 | 1 | 0 | 0 | 1 | 0 |
| 2 | 0 | 0 | 1 | 0 | 0 |
| 4 | 0 | 1 | 0 | 0 | 0 |
| 8 | 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 |
| Запрещенные комбинации | | | | | |
| 0 | 0 | 0 | 0 | 0 | 1 |

Диаграмма переходов:

1

0

1

8

1

0

0

4

2

0

1

9

1

1

10

5

0

12

1

0

0

6

3

13

11

1

1

7

14

0

1

15

Диаграмма Вейча

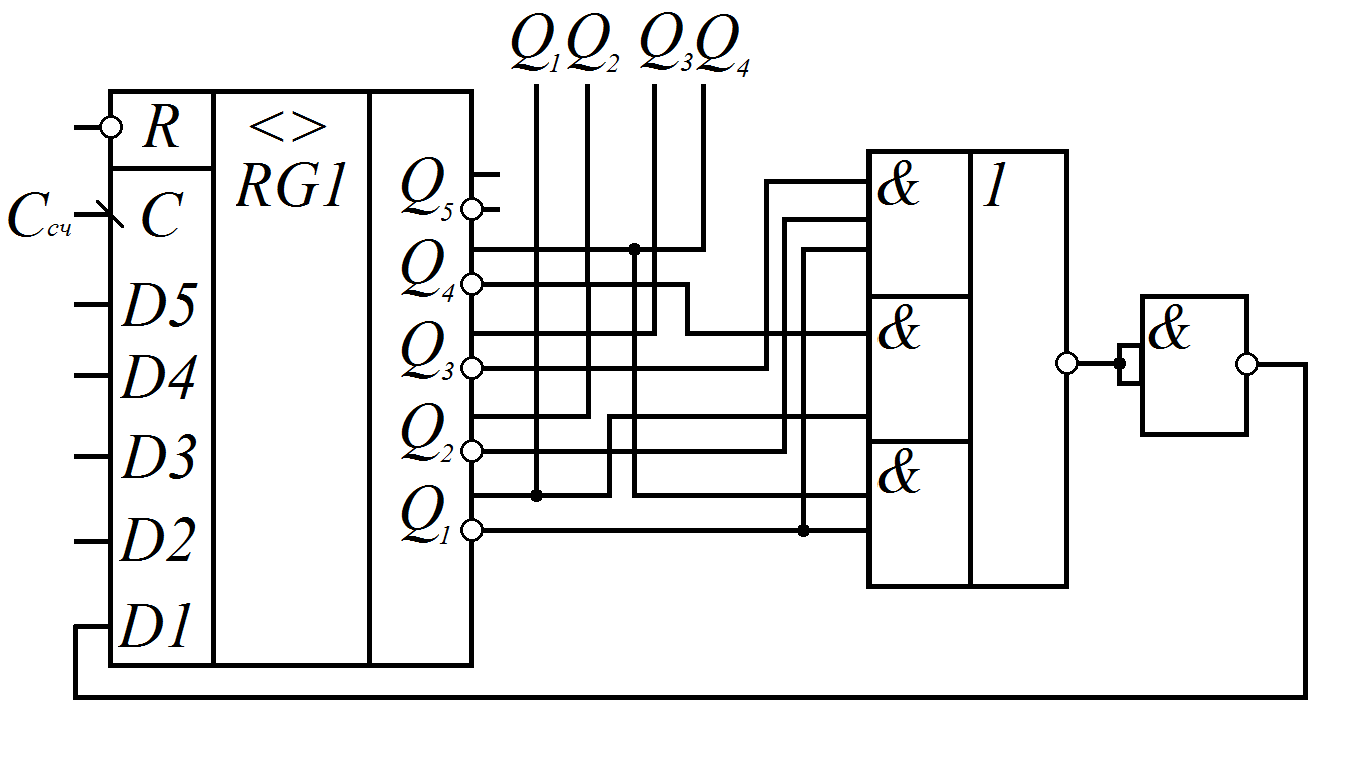


|  |  |  |  |
| --- | --- | --- | --- |
| 1 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |

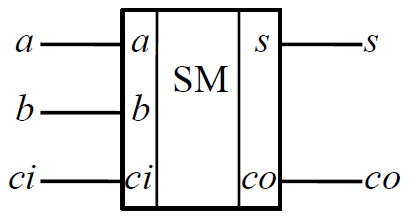




Схема счетчика с автоматическим режимом устранения ошибочной работы и с учетом возможностей лаборатоного макета.



7.4.6. Таблица истинности одноразрядного полного сумматора.



a,b – два одноразрядных числа;

ci – сигнал переноса из предыдущего младшего разряда;

s – сумма трех цифр: a, b и ci;

co – сигнал переноса в следующий разряд;

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| ci | a | b | s | co |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

7.4.7. Операция арифметического сложения в двоичной системе



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| + | 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 0 |

